

Перспективы использования open-source ПО и IP для разработки микросхем

Микроэлектроника 2022

Елизаров С.Г.
ООО «Мальт систем»



Содержание



- 1 Введение**
- 2 Открытые и эффективные средства разработки и верификации**
- 3 Открытые библиотеки IP-ядер**
- 4 Открытый синтез и ASIC backend**
- 5 Открытое железо: Open MPW**
- 6 Открытая инфраструктура в действии: как сделать МКК.**
- 7 Выводы**

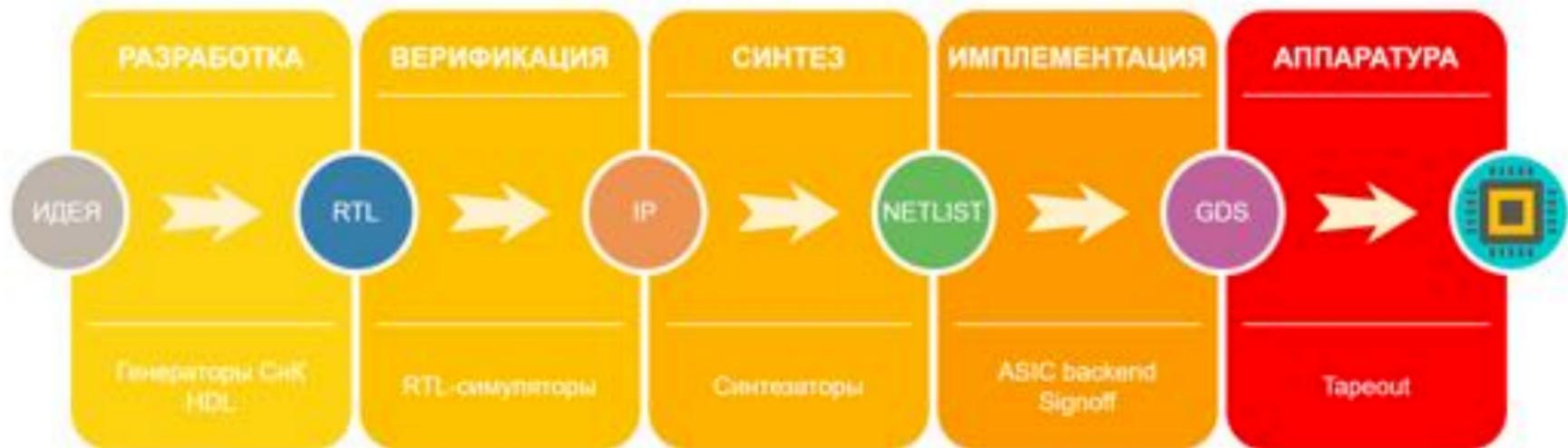
Введение

Обсудим следующие вопросы



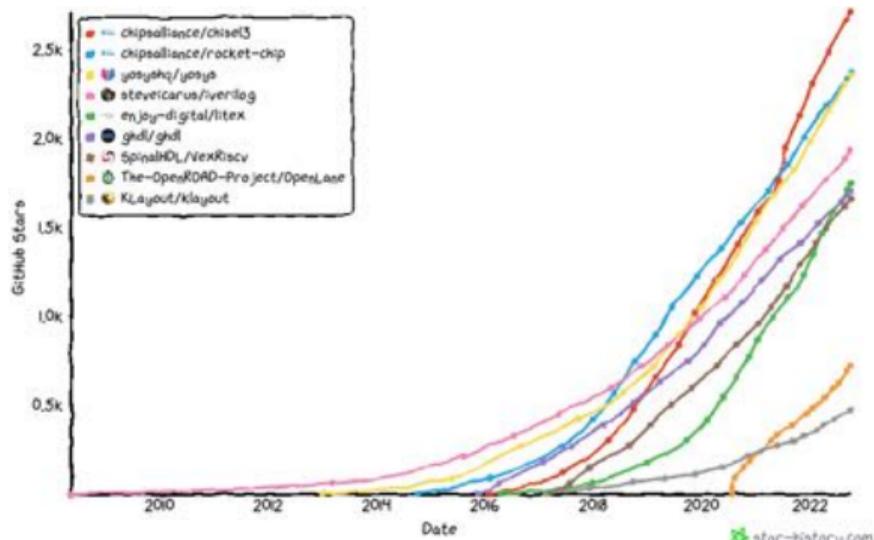
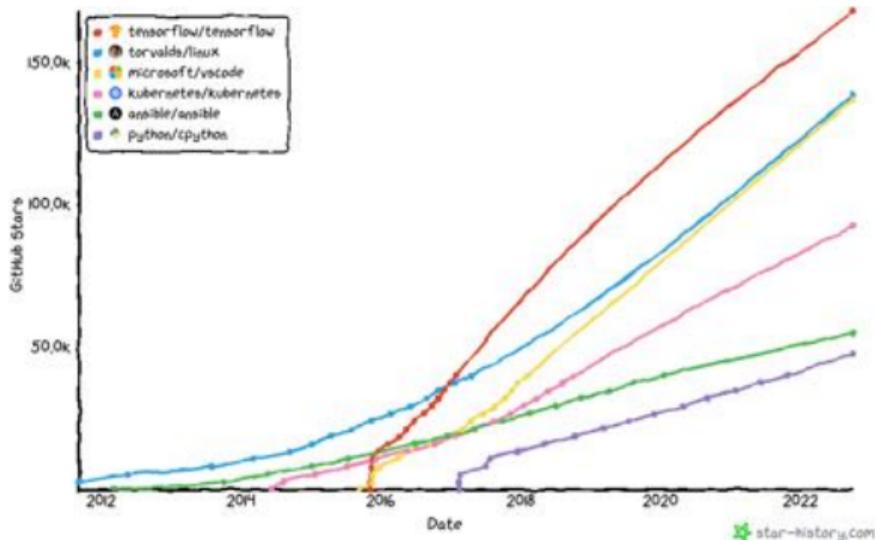
- Стоит ли ожидать успеха открытых САПР по аналогии с открытыми компиляторами GCC и LLVM и другим популярным open source ПО?
- Созрели ли открытые САПР для разработки по актуальным техпроцессам?
- Пригодны ли открытые IP для разработки коммерческих проектов?
- Имеет ли смысл вливаться в open source сообщество и публиковать свой код?
- Есть ли в open source нечто чего нет среди коммерческих предложений?
- Вытеснят ли программисты разработчиков микросхем?

Маршрут разработки цифровых микросхем



Открытые и эффективные средства разработки и верификации

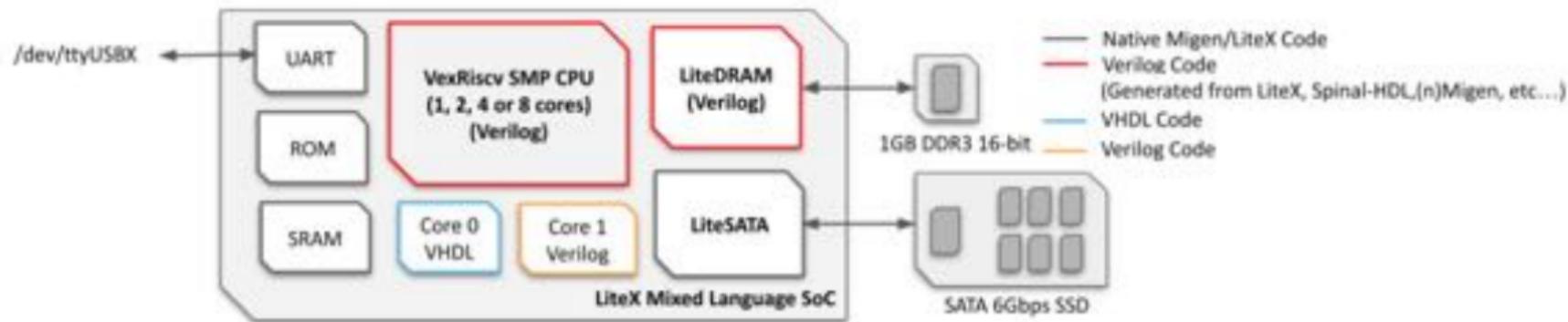
Рост популярности на Github известного open source ПО и средств разработки аппаратуры



Высокоуровневые HDL и генераторы СнК



High-level HDL	Базовый язык	Генератор СнК	HDL-бекенд
Migen	Python	LiteX	Verilog-2001
Chisel	Scala	ChipYard	Verilog-2001
SpinalHDL	Scala	-	Verilog-2001, VHDL-93



Средства верификации на Python



Представители:

- **cocotb**, удобный фреймворк для написания тестов на Python, совместим практически со всеми коммерческими и открытыми симуляторами;
- **PyUVM**, адаптация UVM на Python;
- **VUnit**, фреймворк для разработки тестов и автоматизации тестирования HDL;

Преимущества:

- Все знают и любят Python!
- Вся сила современных программных библиотек в распоряжении верификатора;
- Позволяют значительно проще создавать полноценные Verification IP и использовать открытые, такие как *cocotbext-pcie* и *cocotb-axi*.

Открытые библиотеки IP-ядер

Процессорные ядра



SCR1	Verilog	микроконтроллерное ядро
NEORV32	VHDL	микроконтроллерное ядро с периферией
VexRISC	SpinalHDL	32-битное ядро для встраиваемых систем
Ariane	Verilog	64-битное ядро уровня приложений
OpenSPARC T1	Verilog	64-битное многотредное высокопроизводительное ядро
SonicBOOM	Chisel	высокопроизводительное 64-битное OoO ядро



Интерфейсы и шины

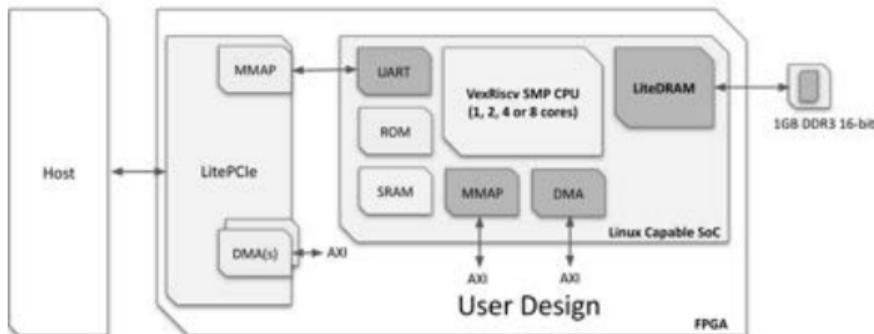


Сложные интерфейсные IP:

- SDRAM, DDR2/3/4 (для ПЛИС)
- HyperRAM
- SATA (для ПЛИС)
- 1G/10G Ethernet MAC
- PCIe до transaction layer

Служебные блоки и шины:

- AXI, WishBone
- I2C
- SPI
- SD-card
- JTAG



Лицензии



- **BSD, MIT, Apache, Solderpad, CC BY** - делай что хочешь с различными условиями по ссылкам на авторов;
- **LGPLv3** - делай что хочешь, но открой код изменений;
- **GPLv3** - делай что хочешь, но производные тоже будут GPL;
- **Проприетарная** - все своими силами.



Хорошие open-source проекты саморазвиваются и самотестируются:



Проект	pull requests(open/closed)	issues(open/closed)
OpenLane	14/768	126/464
LiteX	29/983	108/419
ChipYard	10/752	117/358

Открытый синтез и ASIC backend



- Полный интегрированный и скриптуемый маршрут от RTL до GDS signoff;
- Включает в себя в том числе: Yosys, OpenROAD, Klayout и Magic;
- Ориентируется на максимальную возможную автоматизацию;
- Для оценочной имплементации чисто цифрового дизайна достаточно написать короткий конфигурационный файл;
- Официально поддерживает два открытых PDK:
 - SkyWater 130нм;
 - Global Foundries 180нм;
- Компоненты маршрута протестированы авторами на многих закрытых коммерческих PDK вплоть до 14нм;
- Нами апробирована методика адаптации PDK для использования в OpenLane;
- Качество результата на 130нм уступает коммерческим САПР не более двух раз.

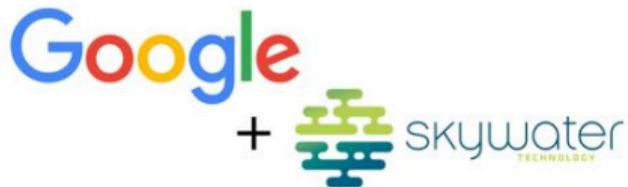
Открытое железо: Open MPW

Open MPW

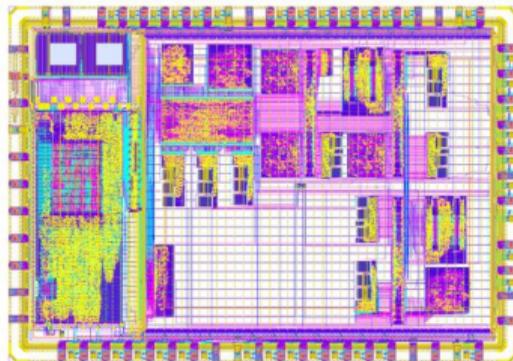


efabless.com

Sponsored by



FOSS 130nm Production PDK
github.com/google/skywater-pdk



Примеры проектов Open MPW



На настоящий момент в рамках программы OpenMPW отправлены на фабрику более 250 проектов. Большинство из них реализовано при помощи открытых ASIC-маршрутов. Примеры:

- Очень много 8/16/32/64-битных процессорных ядер;
- СМК и микроконтроллеры: Riscduino, Motion control;
- Контроллеры памяти: HyperRAM, SDRAM;
- ПЛИС: OpenFPGA, PRNG, Uranus;
- Аналоговые блоки: SRAM, PLL, IO, мультигигабитные трансиверы.

Мы пробовали - работает!

Кто уже попробовал OpenMPW?



**Открытая инфраструктура в
действии: как сделать МКК.**

Как сделать аналог STM32 на 130/180 нм?



Процессорное ядро



Syntacore SCR1

github.com/syntacore/scr1

Solderpad

RTL	Верификация	Синтез	ASIC back-end	Signoff

Как сделать аналог STM32 на 130/180 нм?



Генератор СнК



LiteX

github.com/enjoy-digital/litex

BSD

RTL

Верификация

Синтез

ASIC back-end

Signoff



Как сделать аналог STM32 на 130/180 нм?



Периферийные интерфейсы



PULP

github.com/pulp-platform/pulp

Solderpad

RTL

Верификация

Синтез

ASIC back-end

Signoff



Как сделать аналог STM32 на 130/180 нм?



RTL-симулятор (Verilog)



Icarus Verilog

Icarus Verilog

github.com/steveicarus/iverilog

GPL

RTL	Верификация	Синтез	ASIC back-end	Signoff
  				

Как сделать аналог STM32 на 130/180 нм?



RTL-симулятор (VHDL)



GHDL

github.com/ghdl/ghdl

GPL

RTL	Верификация	Синтез	ASIC back-end	Signoff
  				

Как сделать аналог STM32 на 130/180 нм?



Фреймворк для верификации



[cocotb](#)

github.com/cocotb/cocotb

BSD

RTL	Верификация	Синтез	ASIC back-end	Signoff
  	 			

Как сделать аналог STM32 на 130/180 нм?



SPICE-симулятор



Xyce

github.com/Xyce/Xyce

GPL

RTL	Верификация	Синтез	ASIC back-end	Signoff
  	  			

Как сделать аналог STM32 на 130/180 нм?



Синтезатор

Yosys

Yosys

github.com/YosysHQ/yosys

ISC

RTL	Верификация	Синтез	ASIC back-end	Signoff
  	   			

Как сделать аналог STM32 на 130/180 нм?



VHDL-фронтэнд



GHDL

github.com/ghdl/ghdl

GPL

RTL	Верификация	Синтез	ASIC back-end	Signoff
  	   			

Как сделать аналог STM32 на 130/180 нм?



ASIC-бекенд маршрут



OpenLane

github.com/efabless/OpenLane

Apache

RTL	Верификация	Синтез	ASIC back-end	Signoff
  	   	 		

Как сделать аналог STM32 на 130/180 нм?



PDK и DDK

PDK

Просто добавь PDK

Разная

RTL	Верификация	Синтез	ASIC back-end	Signoff
  	   	 		

Как сделать аналог STM32 на 130/180 нм?



DRC/LVS



KLayout

github.com/KLayout/klayout

GPL

RTL

Верификация

Синтез

ASIC back-end

Signoff



PDK



Как сделать аналог STM32 на 130/180 нм?



DRC/LVS/PEX



Magic VLSI

github.com/RTimothyEdwards/magic

BSD

RTL	Верификация	Синтез	ASIC back-end	Signoff
  	   	 	 PDK	

Как сделать аналог STM32 на 130/180 нм?



RTL	Верификация	Синтез	ASIC back-end	Signoff
  	   	 	 	 

Выводы

Выводы



- В ближайшие годы назревает open source революция в мире разработки аппаратуры. Классическая "цифра" уйдет, старых лидеров сменят новые. Мы можем быть в их числе!
- В новой парадигме практически не останется классических инженеров, новые разработчики должны будут быть не только инженерами, но и сильными программистами.
- Новая парадигма основана на открытом подходе, только если мы будем открывать код своих современных разработок, они будут развиваться, улучшаться, жить.
- С точки зрения САПР и подготовки проектов, Open MPW на российских фабриках - не проблема, мы можем подготовить инфраструктуру завтра, дело за малым - за производством!

Спасибо за внимание!