

Обзор маршрута проектирования ИС компании Mentor Graphics

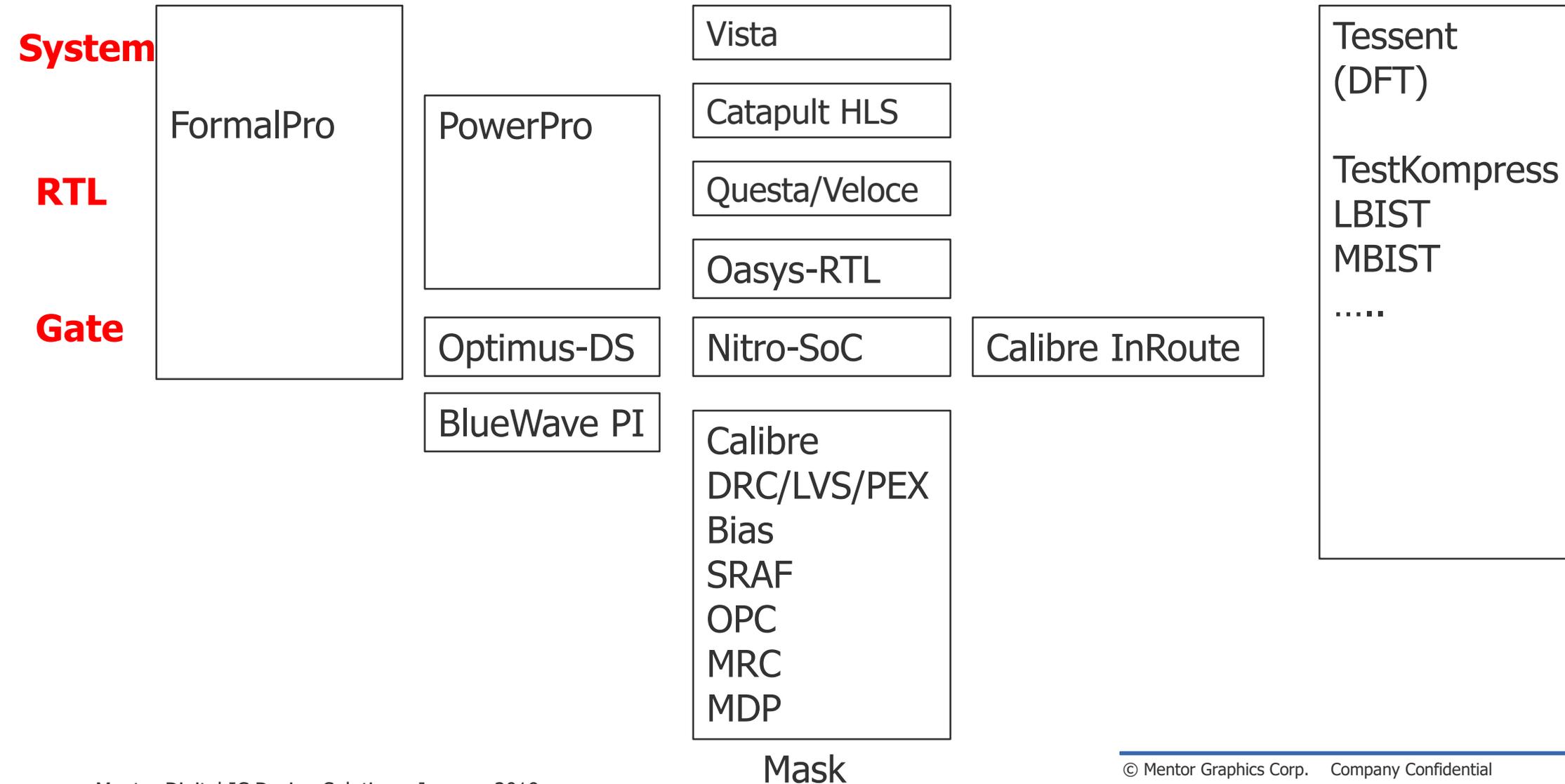
Андрей Лохов, к.т.н.
Генеральный директор
АО МЕГРАТЕК

Январь 2019

Самый широкий спектр решений



Маршрут проектирования цифровых СБИС



Исчерпывающее моделирование на системном уровне с помощью платформы Vista

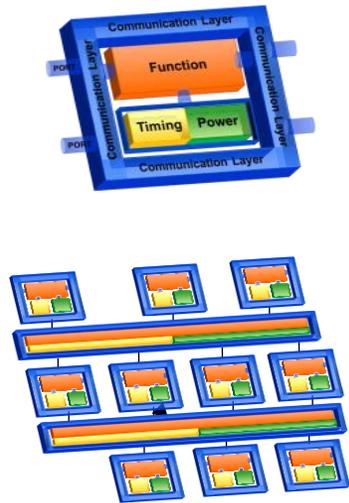


Моделирование

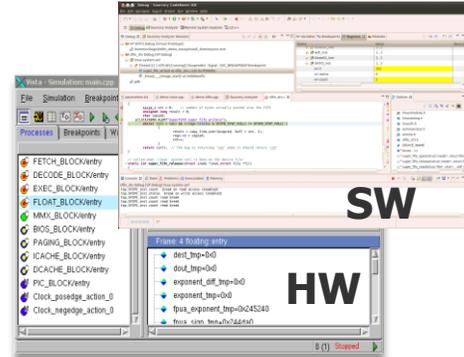
Отладка

Анализ

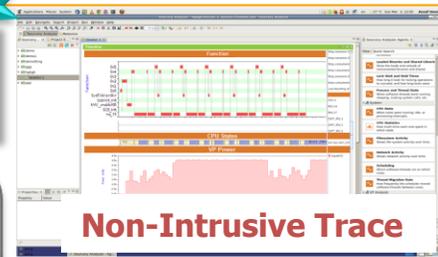
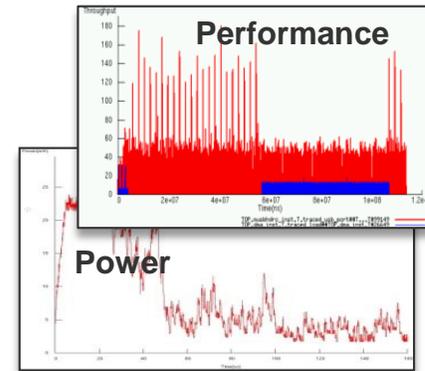
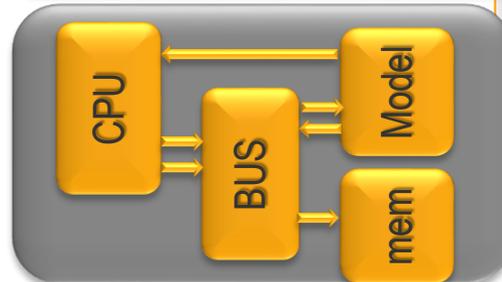
Гибридное моделирование



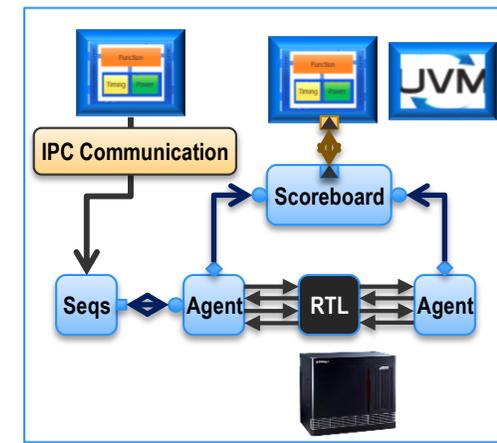
Vista TLM Library Catalog



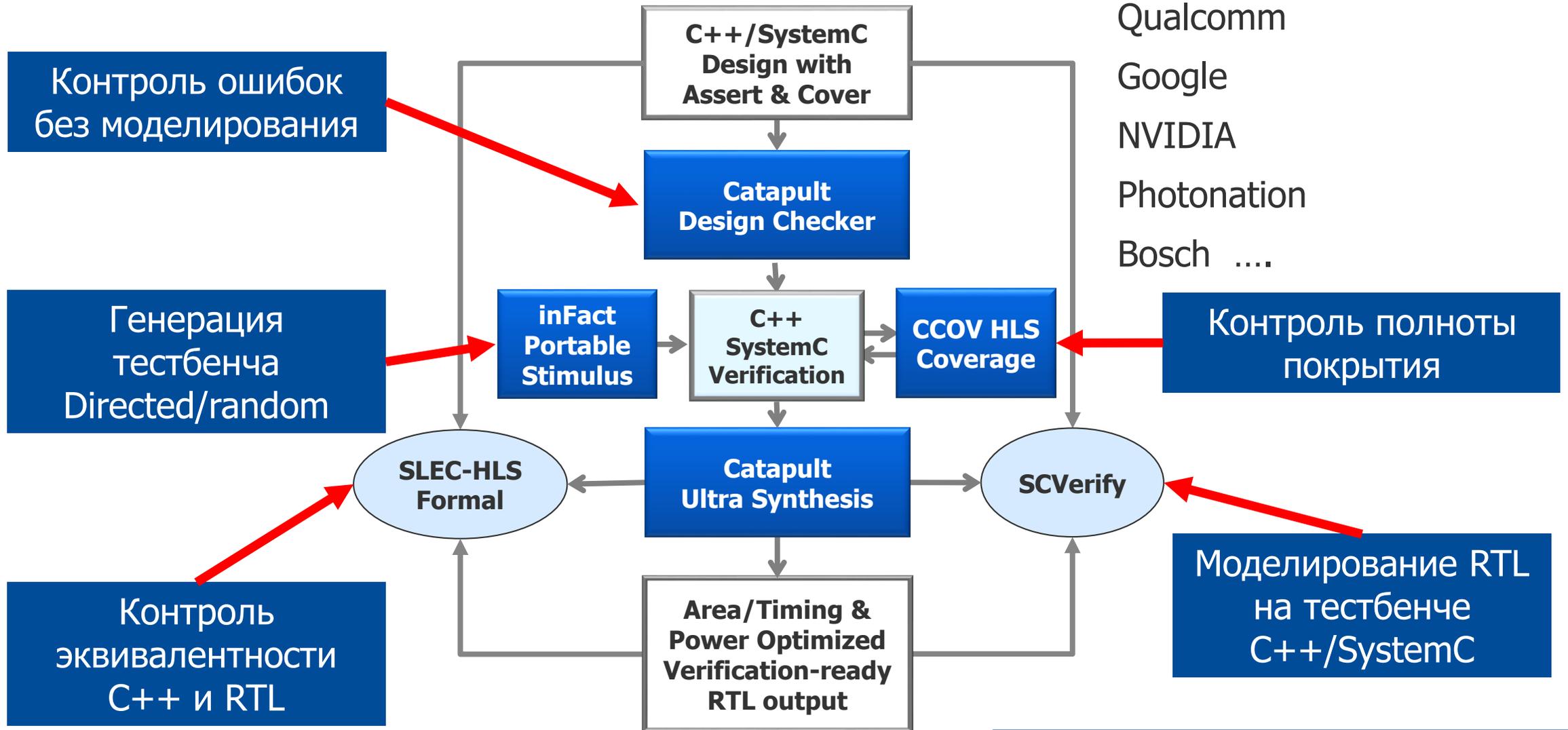
Разработка ПО



Виртуальный Прототип

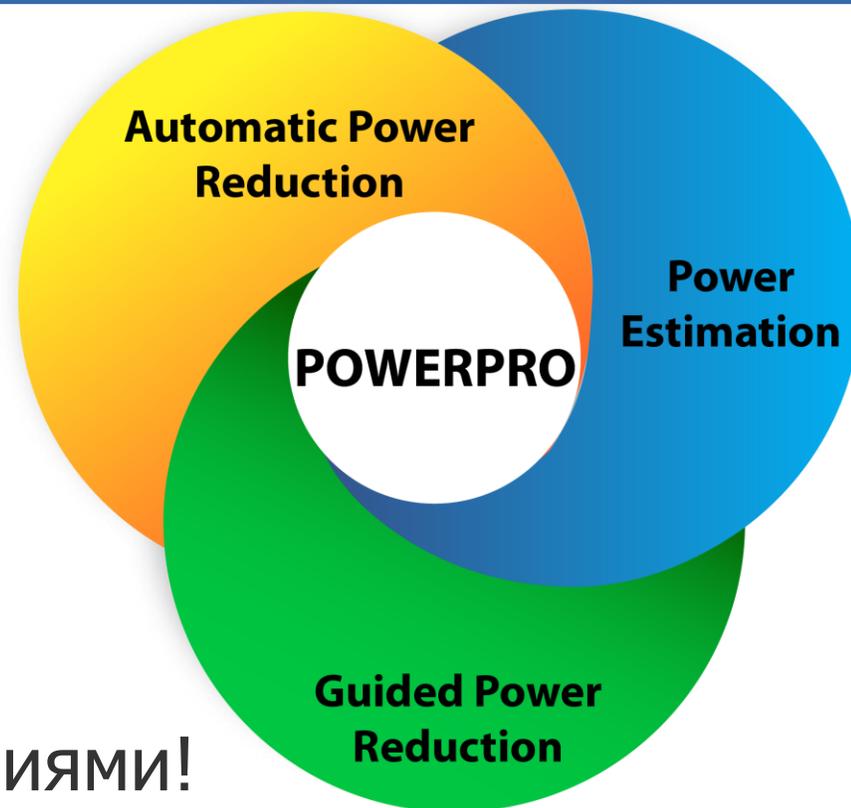


Системная верификация и синтез – Catapult HLS

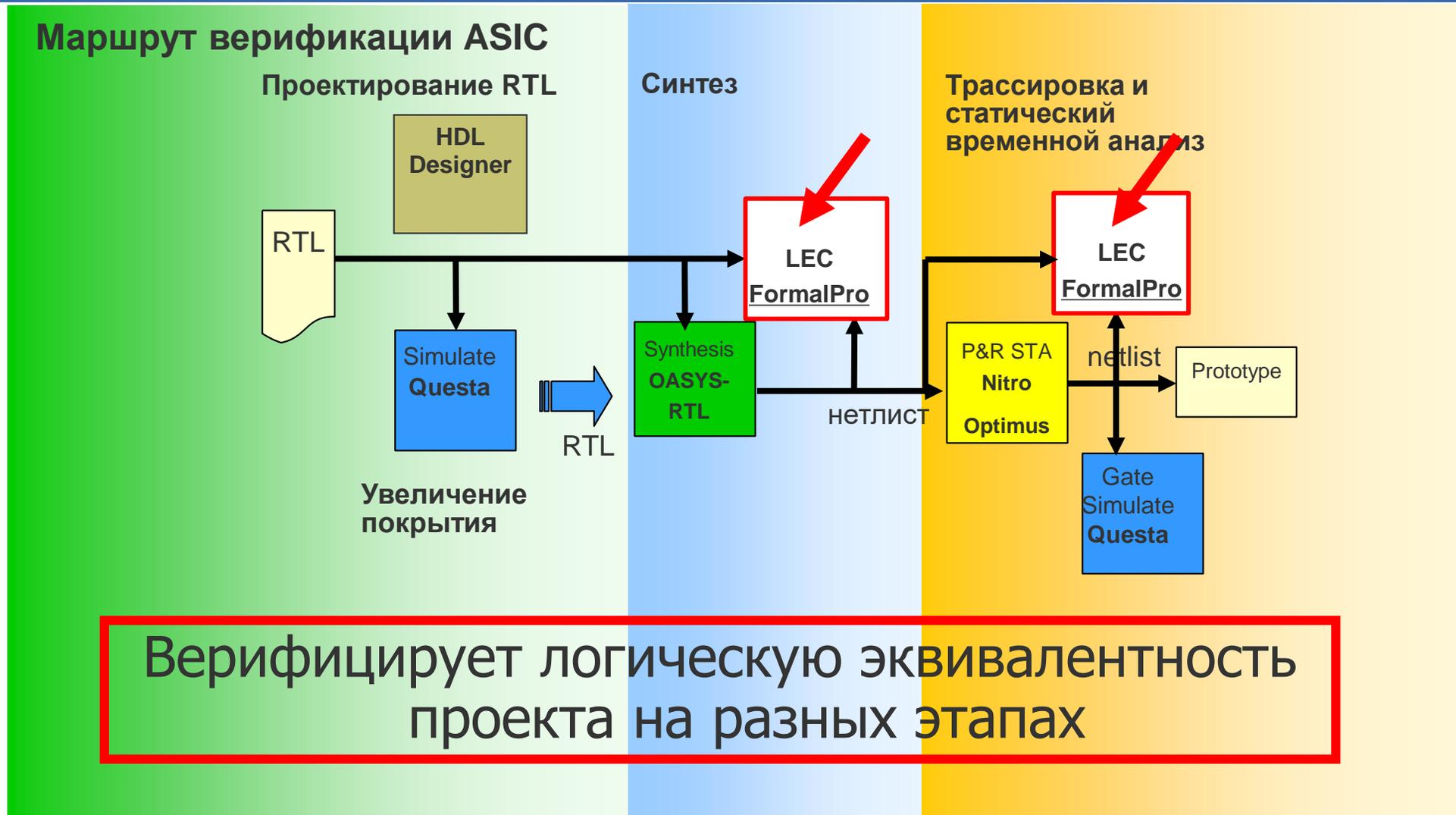


Исследование, оценка и оптимизация потребляемой мощности с помощью PowerPro

- Лучший инструмент для динамической оптимизации мощности
 - Лидер на рынке
 - Автоматическая и ручная оптимизация
- Быстрая и точная оценка мощности
 - RTL и вентиляный уровень
- Используется **ARM, Samsung, Broadcom** и многими другими компаниями!

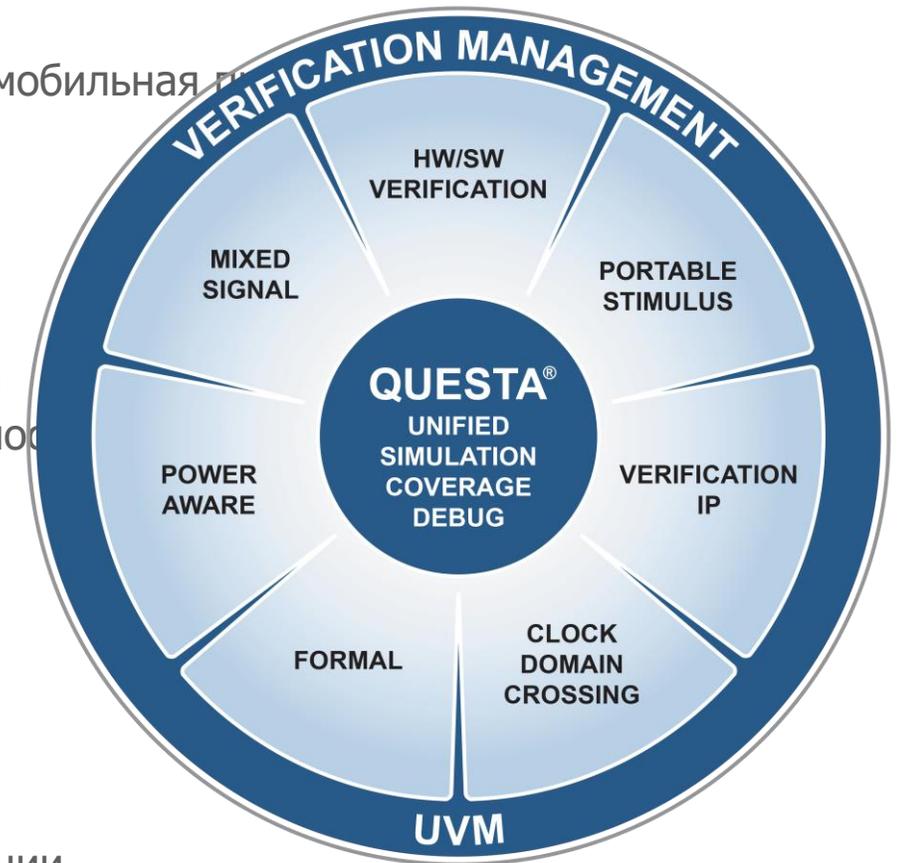


Контроль эквивалентности с помощью FormalPro



Универсальная платформа функциональной верификации Questa®

- Практически неограниченная емкость проектов
 - Большие ASIC, SoC, FPGA
 - ARM/RISC SoCs, сетевые решения, аэрокосмический сектор, автомобильная промышленность
 - Полнофункциональный интерфейс с Veloce/Strato
- Высокая производительность – на одноядерных и системах
 - Выигрывает на 90% бенчмарков
 - Быстрое время компиляции, отладки и оценки полноты покрытия
 - Многоядерная обработка существенно повышает производительность
- Продуктивность и полнота покрытия
 - Менеджер верификации оптимизирует распределение задач на многоядерных системах и в облаке
 - Самая быстрая отладка в индустрии
 - Исчерпывающая полнота покрытия и анализ
- Поддержка языков и методологий
 - Поддержка всего множества языков проектирования и верификации
 - SystemVerilog-2015, VHDL-2008, SystemC-2.3, UPF-3.0, C/C++
 - SV-TB, UVM, SVA



Платформа аппаратной эмуляции Veloce Strato: поддержка проектов до 15 млрд. вентилей

Veloce StratoT



Veloce StratoM

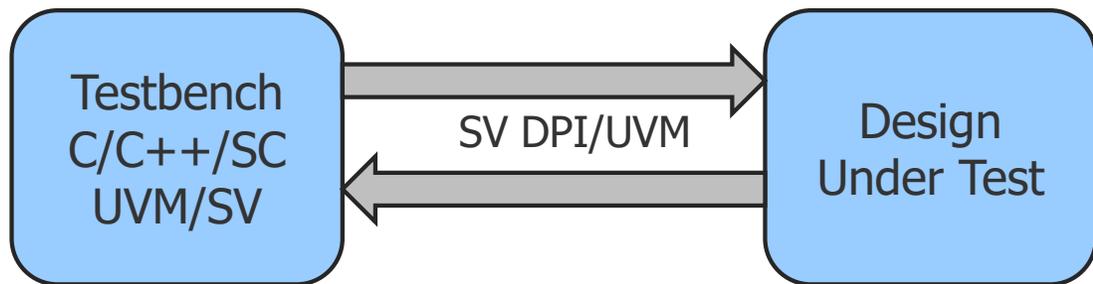


Veloce Strato2M

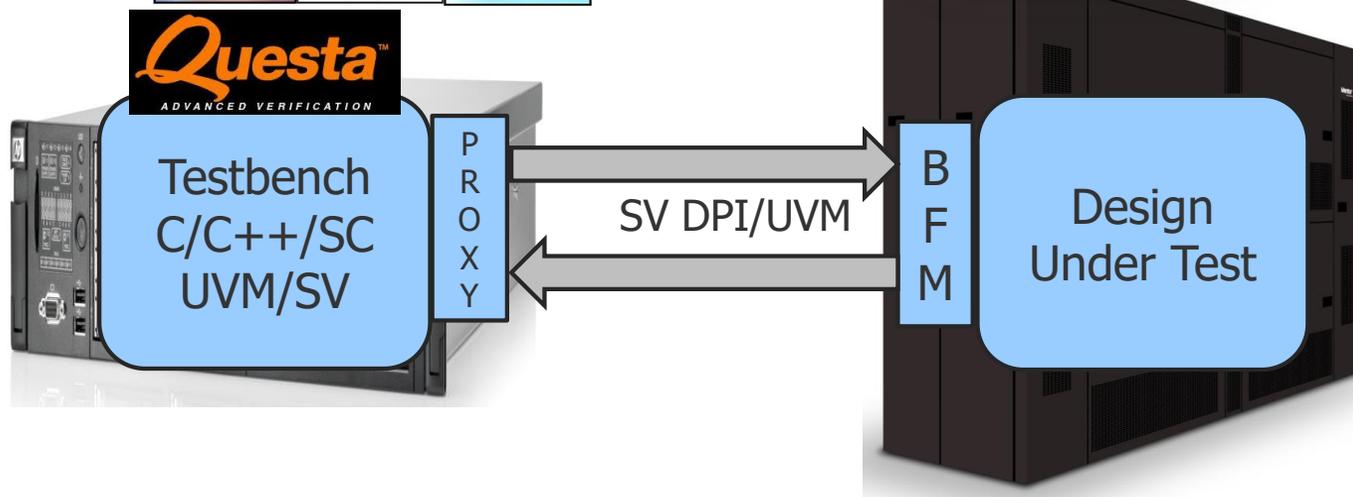


- Ускорение модклирования
- Внутрисхемная эмуляция
- Виртуальная лаборатория
- Валидация ПО

Ускоренное моделирование с помощью Veloce



VELOCE
STRATO



Быстрый запуск процесса

Design

Support modport expressions, 2015 SV constructs, ...

Expanding \$display, \$fscanf, \$random, \$readmemh support

Testbench

Support for #delays

Hierarchical access to RTL signals and clocks

Performance profile report

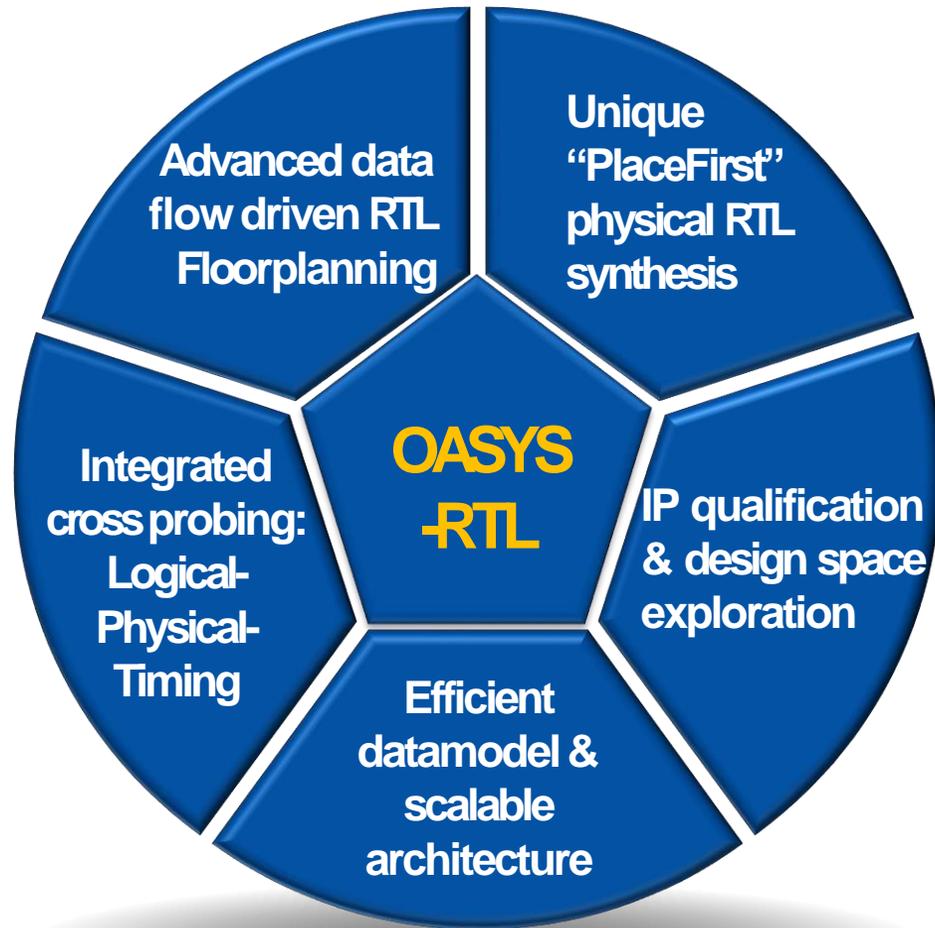
Behavioral Constructs Supported by Veloce

- RTL subset
- SystemVerilog interface
- SystemVerilog Virtual Interface
- SystemVerilog final block
- SVA sampling functions (\$rose, \$fell, \$past, \$stable, \$changed, \$sampled)
- SVA functions \$countones, \$onehot, \$onehot0, \$isunknown
- Language based force/release
- C-API based force/release
- \$testplusargs and \$valueplusargs
- Initial blocks
- Behavioral clock/reset generation
- System tasks; \$display, \$fdisplay, \$fwrite, \$fscanf, \$random
- DPI function/task calls
- SCE-MI 2.0 compliant transaction pipes
- Clocked tasks
- Gated clocks
- Variable delay clocks
- Multiple drivers
- Memory array
- SV cover groups
- Support for \$time, \$realtime
- Support for complex data-types in DPI calls
- Nested Interfaces

100 to 1000x Ускорение

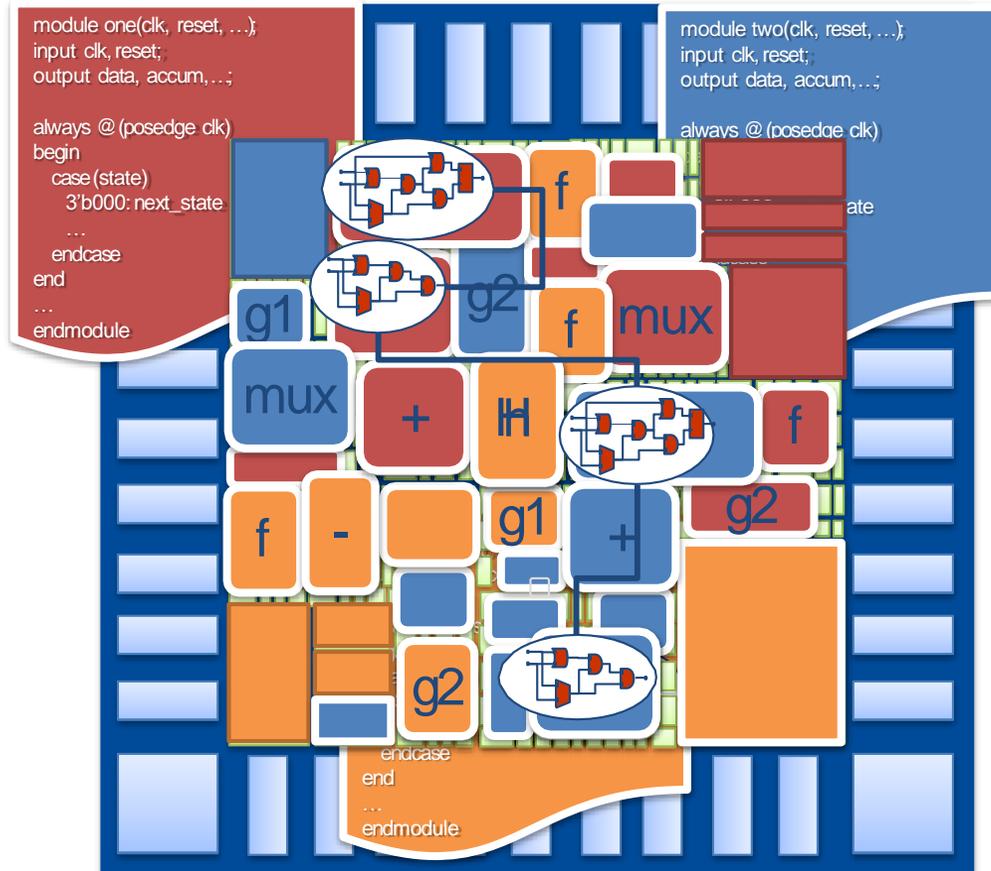
Oasys-RTL

Физический синтез и планировка кристалла



- 1 Сокращение времени синтеза до 10X
- 2 Поддержка проектов 100M+
- 3 Качество RTL кода с учетом размещения
- 4 Усовершенствованные алгоритмы синтеза для оптимизации PPA
- 5 Предварительное размещение и квалификация IP

Уникальная запатентованная технология “виртуального размещения”



Синтез

RTL синтезируется в отдельные блоки, которые предварительно размещаются на кристалле

Оптимизация

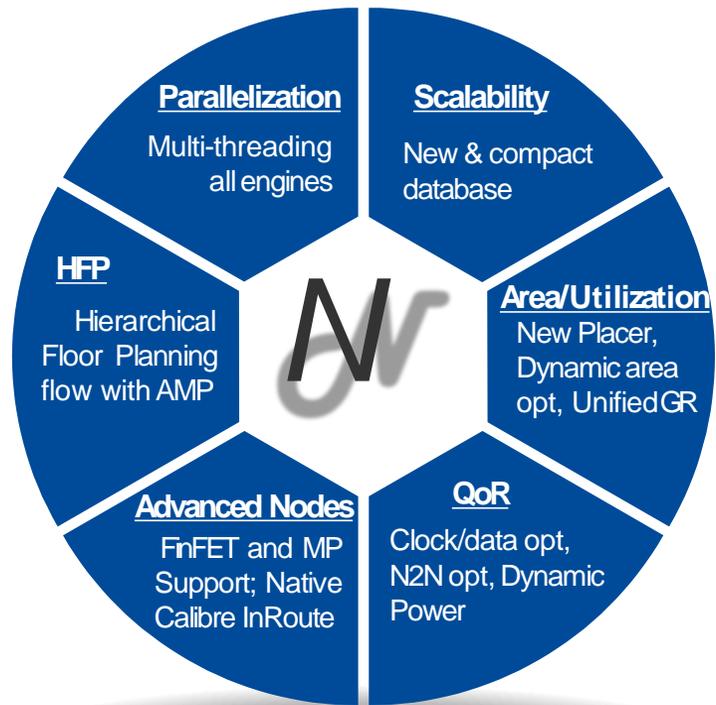
Переразбиение, переразмещение и повторный синтез с учетом требований

Финальная оптимизация

Финальная оптимизация на вентиляльном уровне и размещение для передачи на P&R

Высокая скорость синтеза и качество нетлиста для P&R

Nitro-SoC - платформа P&R следующего поколения



Лучшая в своем классе сходимость для DRC/DP верификации

Высокое качество трассировки сложных блоков

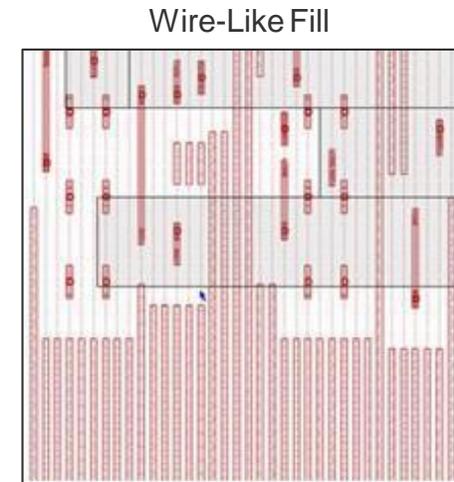
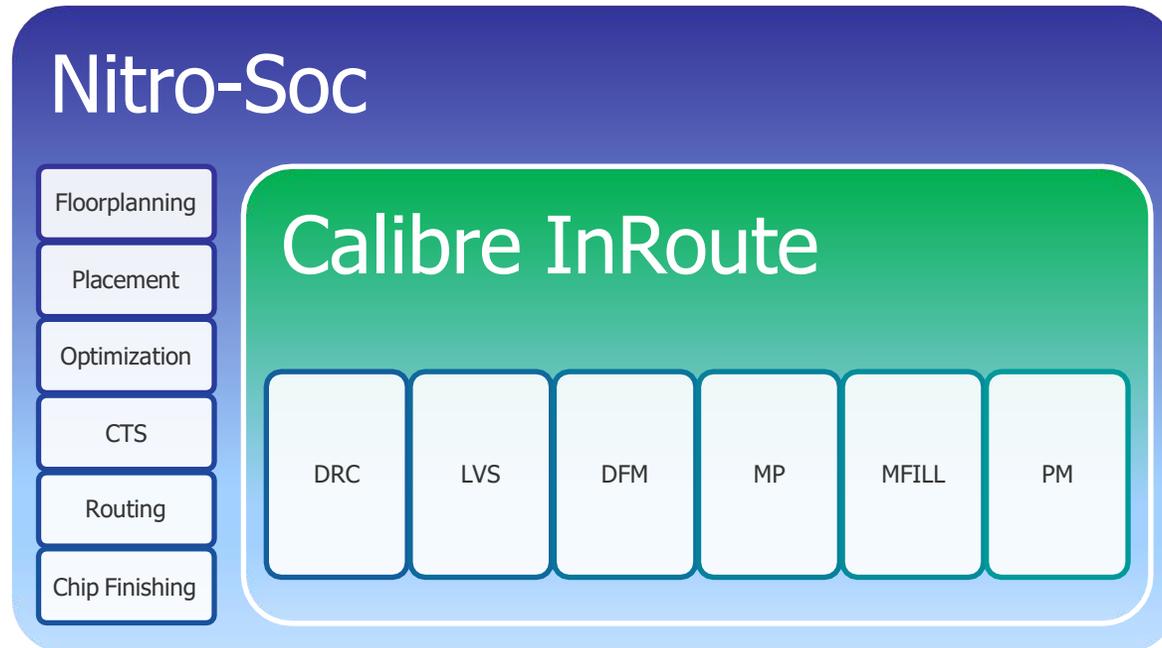
Экономия площади кристалла до 10%

Дополнительная экономия потребляемой мощности до 10%

Простота использования, быстрое внедрение

Производительность – до 2M вентиляей за 24 часа

Параллельная работа Nitro-SoC P&R и Calibre InRoute

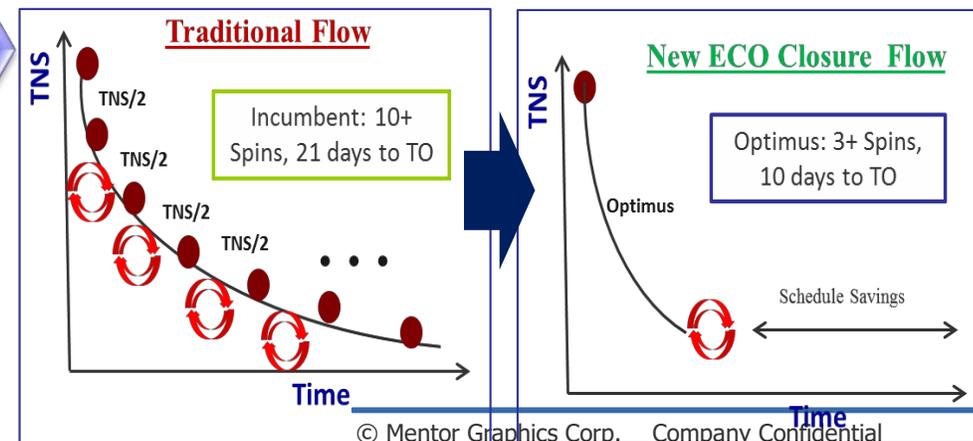


- Calibre интегрирован в Nitro-SoC
- Доступ ко всем механизмам верификации Calibre и всем DRC/DFM правилам из Nitro-SoC
- Промышленный стандарт в 20 ведущих фабриках

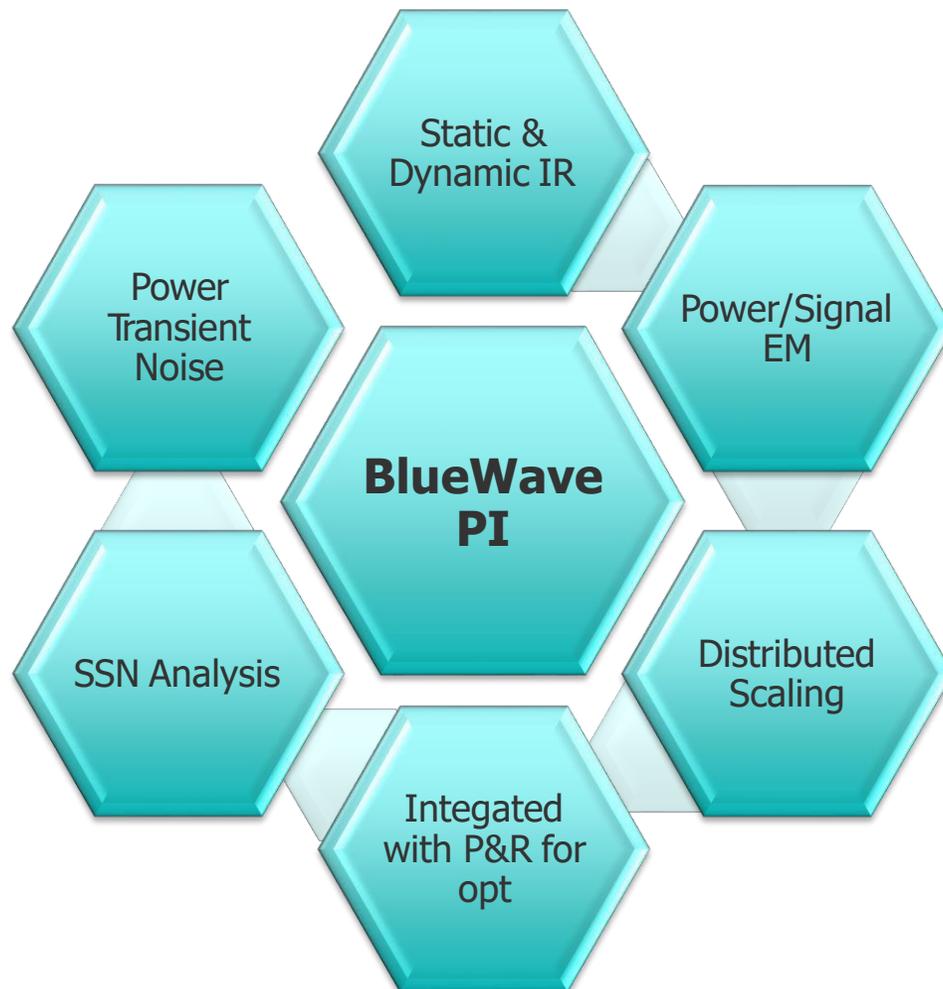
Статический временной анализ с помощью Optimus-DS



- Final STA analysis with Spice accuracy
- Parallel time control for preparation/maintenance for all scenarios tape-out
- Parallelization on multi-processor systems
- Shortening ECO cycles

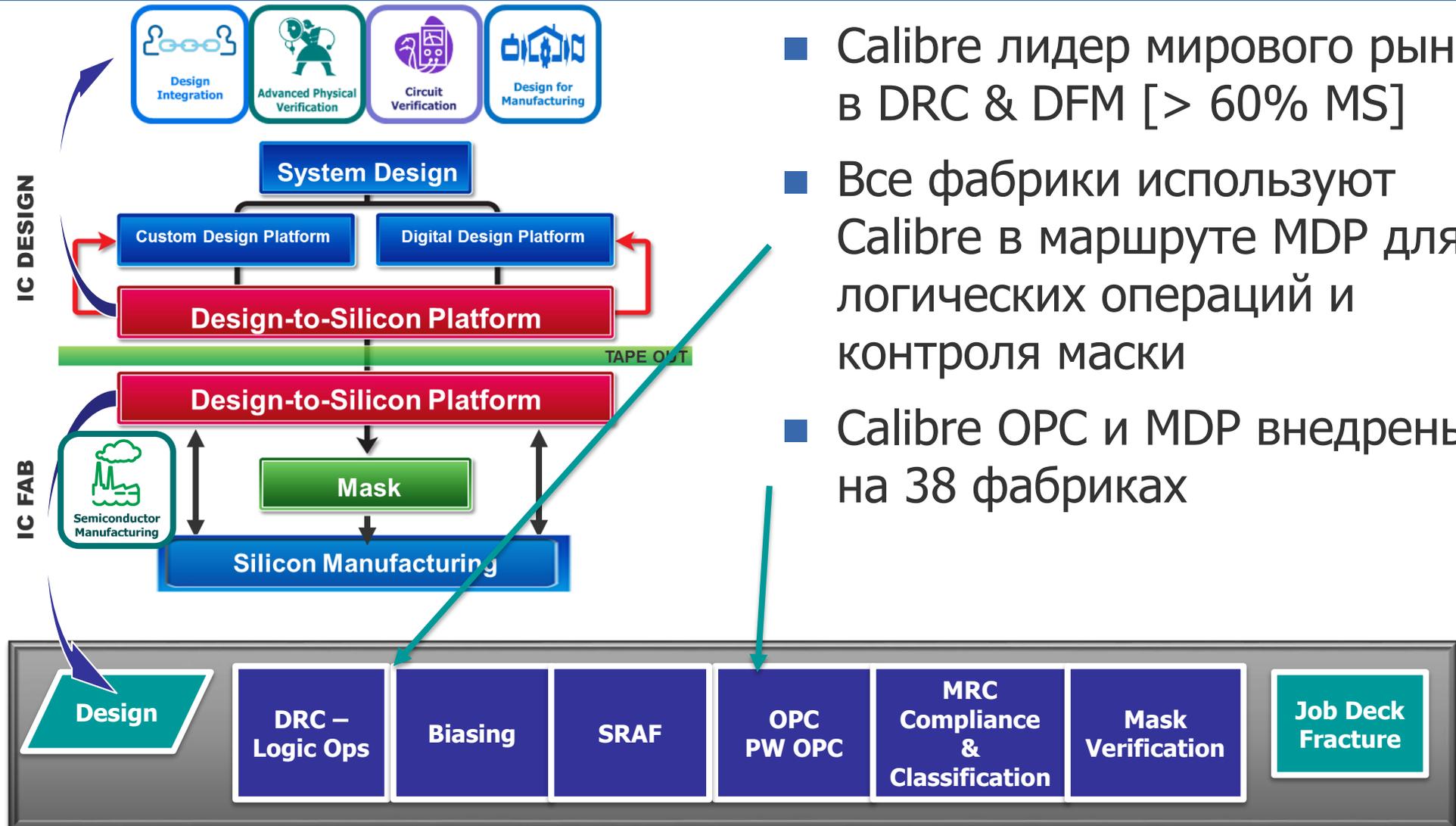


Анализ целостности питания и падения напряжения (электромиграция) с помощью BlueWave PI



- Статический и динамический анализ
 - Контроль устойчивости разводки питания
 - Статический и динамический (векторный и невекторный) анализ
 - Анализ критического падения напряжения
 - Контроль разводок сигнал/питание
- Высокая производительность и объем проектов
 - Распределенные вычисления
- Интеграция механизмов IR-Drop и EM в P&R
 - Быстрая сходимость

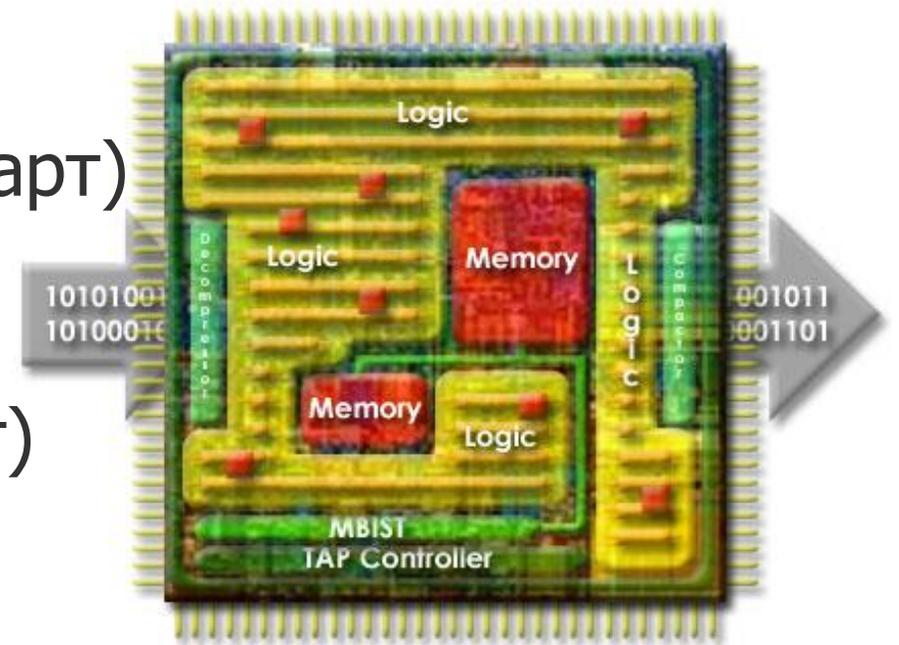
Платформа Calibre – мировой лидер в области решений Design-to-Silicon



- Calibre лидер мирового рынка в DRC & DFM [$> 60\%$ MS]
- Все фабрики используют Calibre в маршруте MDP для логических операций и контроля маски
- Calibre OPC и MDP внедрены на 38 фабриках

Исчерпывающий набор средств тестирования и диагностики

- ✓ Scan ATPG (TestKompress – промышленный стандарт)
 - ✓ Встроенная компрессия тестов
 - ✓ Прямое сканирование
 - ✓ Технология Versapoint
- ✓ Memory BIST (промышленный стандарт)
- ✓ Boundary Scan
- ✓ Logic BIST (промышленный стандарт)
- ✓ Scan Pro
- ✓ Scan Failure Analysis



Mentor[®]

A Siemens Business

www.mentor.com