



MALT
system

О возможности создания отечественного аппаратного ускорителя симуляции RTL

Елизаров С.Г., Лукьянченко Г.А, Монахов А.М.

Круглый стол по САПР
от холдинг Т1, АРПЭ

Докладчик: Елизаров Сергей Георгиевич, к.ф.-м.н.
научный руководитель дизайн-центра «Мальт систем»

Верификация работы ОС, драйверов и прикладного ПО на полном RTL СБИС!

Моделирование цифровых СБИС

Традиционные подходы для решения задачи верификации. Скорость цифровой симуляции, когда ускорение становится необходимым и что делать?

Традиционные решения задачи верификации цифровых СБИС:

1. Моделированием RTL-кода в специализированных САПР для RTL-симуляции, таких как Siemens Questa или Cadence Xcelium. **Исключительная гибкость и широкий спектр средств отладки, быстрый запуск за 1 час и быстрее, моделирование проектов любого размера. Скорость моделирования крупных СБИС даже на самых производительных ПК составляет не более 100 тактов в сек.**
2. Сборкой проекта СБИС или ее прототипа и моделирование на ПЛИС. **Высочайшая скорость моделирования 1-100 млн. тактов в сек. Ограниченный доступ к отладочной информации, невозможность исполнения несинтезируемых блоков, сложность адаптации IP, большое время сборки проектов, ограничения на размер дизайна.**

Аппаратные ускорители RTL-симуляции:



Санкции!

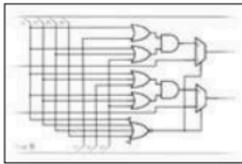


```
RTL Design
module ddr1_core (DOUT, DIN, WA, RA, WE);
input [23 : 0] WA, RA;
input [7 : 0] DIN;
input WE;
output [7 : 0] DOUT;
reg [7 : 0] DOUT;
reg [7 : 0] mem [16777215 : 0];

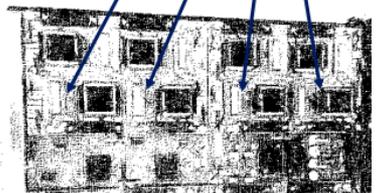
always @ (posedge WE)
begin
    mem[WA] = DIN;
end

always @ (RA)
begin
    DOUT = mem[RA];
end
endmodule
```

Compiler



Compiler



Unified Compilation Flow for ICE, Acceleration, Virtual and Hybrid Runtime Selection to enable ICE or Virtual

300 MG per hour Today for Highly Repetitive Designs

Ускорители RTL симуляции

Коммерческие приборы, их возможности и характеристики

Характеристики продукта	Cadence Palladium, Mentor Veloce	Synopsys EVE Zebu	Aldec, Bluespec, Cadence RPP, HyperSilicon
Цена/вентиль	2-5 руб. (≈ 2-5 центов)	0.5 – 2 руб. (≈ 0.5 – 2 центов)	0.25 -1 руб. (≈ 0.25 – 1 центов)
Техническая поддержка	Предоставляется (но не для российских пользователей)	Предоставляется (но не для российских пользователей)	Не предоставляется
Емкость дизайна	До 2 млрд. вентиляей /стойку. Обычно от 100 млн. до 1 млрд. вентиляей.	До 1 млрд. вентиляей / стойку. Обычно используется от 25 млн. до 200 млн. вентиляей.	До 50+ млн. вентиляей. Обычно используется от 2 млн. до 25 млн. вентиляей.
Основные целевые проекты	СнК 100 млн. – 1 млрд вентиляей. Большие процессоры, GPU, ASIC	СнК 25 млн. – 200 млн вентиляей.	IP-блоки, подсистемы, СнК от 2 млн. до 25 млн. вентиляей.
Скорость моделирования (тактов/сек)	До 2 млн.	До 5 млн.	До 20 млн.
Скорость компиляции	10-30 млн. вентиляей/час. Palladium или кластер Veloce	25 млн. - 100 млн. вентиляей/ час на кластере.	1 млн. - 15 млн. вентиляей/час на кластере.
Разделение дизайна на чипы	автоматическое	автоматическое	полуавтоматическое
Видимость сигналов	Полная, получение вейвформы на скорости симуляции	Статические, динамические вейвформы, получение вейвформы на скорости симуляции	Статические, динамические вейвформы, получение вейвформы на скорости симуляции
Отладочные возможности	Точки останова, assertions, отладка ПО на эмулируемой СнК	Точки останова, assertions, отладка ПО на эмулируемой СнК	Точки останова, assertions, отладка ПО на эмулируемой СнК
API виртуальной платформы	Есть	Есть	Зависит о вендора
Поддерживаемые языки для верификации	C++, SystemC, Specman e, SystemVerilog, OVM, SVA, PSL, OVL	Synthesizable Verilog, VHDL, System Verilog	Synthesizable Verilog, VHDL, System Verilog
Максимальный объем памяти	До 1 Тб	До 200 Гб	До 32 Гб

От \$2M за 100 млн. экв. вентиляей!

Ускорители RTL симуляции



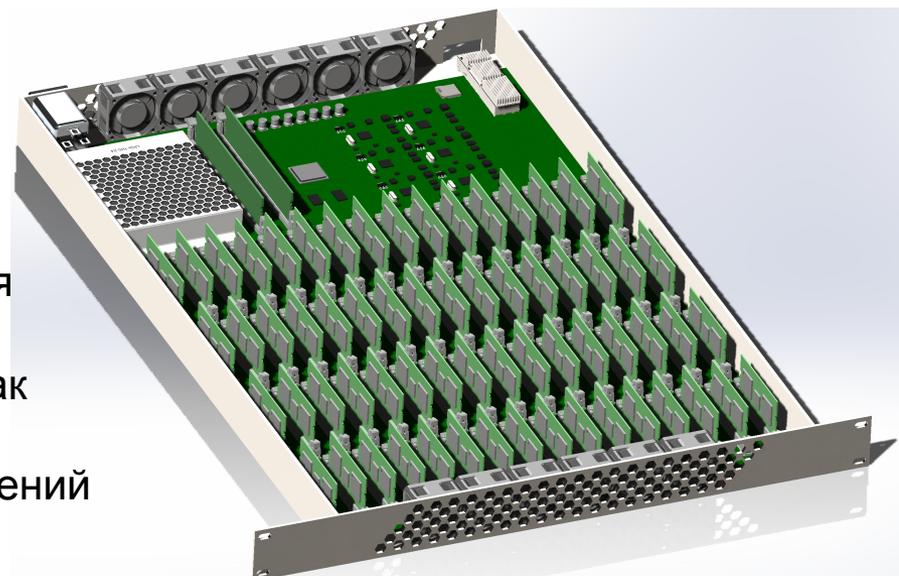
MALT
system

Требования к ускорителю RTL-симуляции

Что мы можем предложить?

Требования к аппаратному ускорителю для СнК, СФ-блоков, микроконтроллеров, встраиваемых процессоров:

1. Поддержка поведенческого RTL-моделирования проектов емкостью до 100 млн. эквивалентных вентилях на языке Verilog-2005, содержащем как синтезируемые, так и несинтезируемые блоки.
2. Поддержка моделирования списков межсоединений (Verilog-нетлистов) без задержек размером до 100 млн. эквивалентных вентилях.
3. Время подготовки симуляции не более 2 часов для проектов емкостью до 100 млн. эквивалентных вентилях.
4. Скорость симуляции 0.1 - 1млн. тактов в секунду для проектов СнК емкостью более 10 млн. эквивалентных вентилях.
5. Возможность получения истории изменения заданных внутренних сигналов проекта в процессе моделирования.
6. Отсутствие привязки к поставщику ПО (vendor lock-in).
7. Энергопотребление не более 5 кВт при размещении 19'.
8. Стоимость существенно ниже зарубежных решений.



Malt System.

Современный fabless дизайн-центр микроэлектроники и фотоники

Слайд №4

Наш ускоритель RTL симуляции



Почему это возможно и что уже сделано?

Почему это возможно:

1. Одним из наиболее сложных компонентов в разработке ускорителя RTL-эмуляции является разработка ПО для разрезания и загрузки эмулируемого дизайна в микросхемы ускорителя.
2. Такое ПО с одной стороны должно позволять автоматически разделять дизайн на сотни или тысячи частей, а с другой быть достаточно производительным для того чтобы пользователю не приходилось излишне долго ждать запуска эмуляции проекта.
3. На сегодняшний день задача создания такого ПО значительно упрощается благодаря наличию открытых САПР, таких как **Yosys** и **nextpnr**.
4. Благодаря богатому опыту работы с открытым ПО в области разработки на ПЛИС и существующим наработкам, наши специалисты смогут реализовать требуемое ПО в срок до 1 года.

Что уже сделано:

1. Реализован прототип ПО для кластеризации и имплементации дизайна в микросхемы ускорителя.
2. Реализован прототип RTL коммуникационной среды для синхронизации процесса эмуляции между микросхемами ускорителя.
3. Реализован программный прототипа ускорителя, на основе которого производятся оценки характеристик и дорабатываются требования к ПО.

Ускорители RTL симуляции



MALT
system

Коммерческие приборы, их возможности + наше предложение

Характеристики продукта	Cadence Palladium, Mentor Veloce	Synopsys EVE Zebu	Aldec, Bluespec, Cadence RPP, HyperSilicon	Предлагаемое решение
Цена/вентиль	2-5 руб. (≈ 2-5 центов)	0.5 – 2 руб. (≈ 0.5 – 2 центов)	0.25 -1 руб. (≈ 0.25 – 1 центов)	0.22 руб. (≈ 0.22 центов)
Техническая поддержка	Предоставляется (но не для российских пользователей)	Предоставляется (но не для российских пользователей)	Не предоставляется	Предоставляется
Емкость дизайна	До 2 млрд. вентиляй /стойку. Обычно от 100 млн. до 1 млрд. вентиляй.	До 1 млрд. вентиляй / стойку. Обычно используется от 25 млн. до 200 млн. вентиляй.	До 50+ млн. вентиляй. Обычно используется от 2 млн. до 25 млн. вентиляй.	До 100 млн. вентиляй.
Основные целевые проекты	СнК 100 млн. – 1 млрд. вентиляй. Большие процессоры, GPU, ASIC	СнК 25 млн. – 200 млн. вентиляй.	IP-блоки, подсистемы, СнК от 2 млн. до 25 млн. вентиляй.	СнК 20— 100 млн. вентиляй.
Скорость моделирования (тактов/сек)	До 2 млн.	До 5 млн.	До 20 млн.	До 1 млн.
Скорость компиляции	10-30 млн. вентиляй/час. Palladium или кластер Veloce	25 млн. - 100 млн. вентиляй/ час на кластере.	1 млн. - 15 млн. вентиляй/час на кластере.	До 100 млн. вентиляй/час.
Разделение дизайна на чипы	автоматическое	автоматическое	полуавтоматическое	автоматическое
Видимость сигналов	Полная, получение вейвформы на скорости симуляции	Статические, динамические вейвформы, получение вейвформы на скорости симуляции	Статические, динамические вейвформы, получение вейвформы на скорости симуляции	Полная, получение вейвформы на скорости симуляции
Отладочные возможности	Точки останова, assertions, отладка ПО на эмулируемой СнК	Точки останова, assertions, отладка ПО на эмулируемой СнК	Точки останова, assertions, отладка ПО на эмулируемой СнК	Точки останова, assertions, отладка ПО на эмулируемой СнК
API виртуальной платформы	Есть	Есть	Зависит о вендора	Есть
Поддерживаемые языки для верификации	C++, SystemC, Specman e, SystemVerilog, OVM, SVA, PSL, OVL	Synthesizable Verilog, VHDL, System Verilog	Synthesizable Verilog, VHDL, System Verilog	VHDL, Verilog, System Verilog, C++
Максимальный объем памяти	До 1 Тб	До 200 Гб	До 32 Гб	До 32 Гб

Malt System.

Современный fabless дизайн-центр микроэлектроники и фотоники

Слайд №6

Моделирование цифровых СБИС

Проект поддержан ведущими российскими дизайн-центрами и организациями-экспертами



MALT
system



КРИТИЧЕСКИЕ
ИНФОРМАЦИОННЫЕ
СИСТЕМЫ
РОСАТОМ

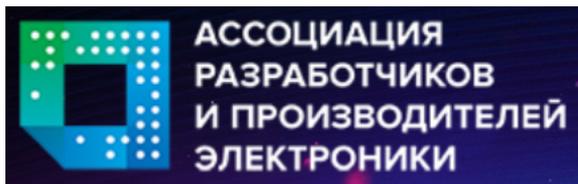
Акционерное общество
«Научно-производственное объединение
«Критические информационные
системы» (АО «НПО «КИС»)



МЦСТ
ЭЛЬБРУС

МИНОБРНАУКИ РОССИИ

федеральное государственное
бюджетное научное учреждение
«Научно-производственный комплекс
«ТЕХНОЛОГИЧЕСКИЙ ЦЕНТР»
(НПК «Технологический центр»)



**АССОЦИАЦИЯ
РАЗРАБОТЧИКОВ
И ПРОИЗВОДИТЕЛЕЙ
ЭЛЕКТРОНИКИ**



**МОСКОВСКИЙ
ГОСУДАРСТВЕННЫЙ
УНИВЕРСИТЕТ имени
М.В.ЛОМОНОСОВА**

**ЦЕНТР ИНЖИНИРИНГА
ПЕРСПЕКТИВНЫХ
ТЕХНОЛОГИЙ**



СКОЛКОВО

Некоммерческая организация
Фонд развития Центра разработки и
коммерциализации новых технологий
(Фонд «Сколково»)

Malt System.

Современный fabless дизайн-центр микроэлектроники и фотоники

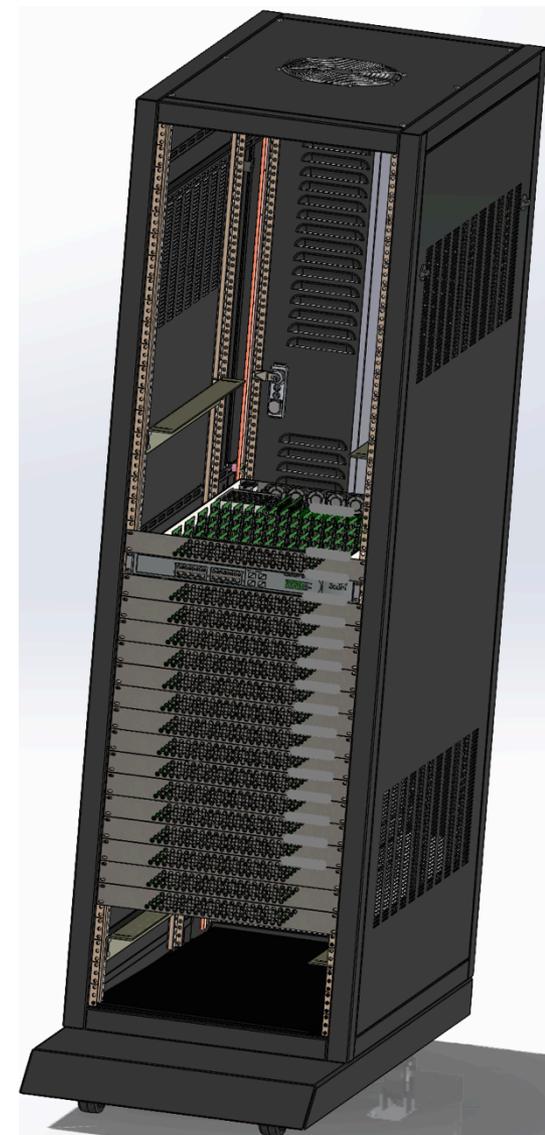
Слайд №7

Ускорители RTL симуляции

Основные тезисы по развитию направления

Основные выводы по докладу:

1. К настоящему моменту открытые САПР, достигли достаточной степени зрелости для практического использования в ускорителях симуляции, что кардинально сокращает необходимое время разработки ПО относительно старта “с чистого листа”.
2. Имеющиеся у компании Мальт Систем наработки позволяют создать и в 2025 году начать продажи отечественных ускорителей RTL-симуляции для проектов размером до 100 млн. эквивалентных вентиляей.
3. Предлагаемое решение будет не только единственным доступным на отечественном рынке, даже с учетом 3-х летней поддержки оно будет в 3-4 раза дешевле зарубежных аналогов, что позволит выводить его на зарубежные рынки.
4. За 2025-26 годы, предлагаемое решение возможно масштабировать до 1+ млрд. эквивалентных вентиляей, что полностью закроет потребности отечественных потребителей.



Спасибо за внимание!

Научный руководитель ООО "Мальт Систем»
к.ф.-м.н., Елизаров Сергей Георгиевич

<https://www.maltsystem.ru>
тел.: +7(495)133-6248 доб. 100
selizar@maltsystem.ru